PIEZOOSCILLATOR

Publication number: JP4160908

Publication date:

1992-06-04

Inventor:

HARA TAKAAKI

Applicant:

NIPPON ELECTRIC CO

Classification:

- international:

H03B5/32; H04B7/26; H03B5/32; H04B7/26; (IPC1-7):

H03B5/32; H04B7/26

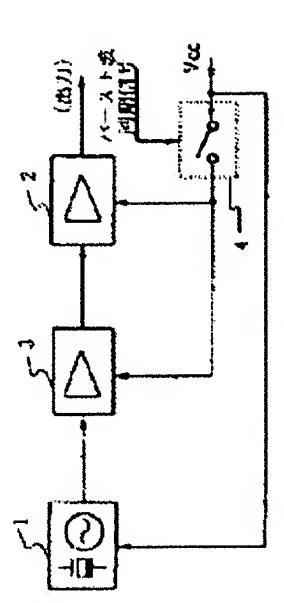
- European:

Application number: JP19900289695 19901025 Priority number(s): JP19900289695 19901025

Report a data error here

Abstract of JP4160908

PURPOSE:To reduce power consumption of the clock system of a digital mobile communication apparatus of TDMA type by making the amplitude of an oscillating output from an oscillating circuit small and by using an external burst synchronous signal to turn on and off the power supply to a buffer amplifier circuit. CONSTITUTION: By adding a buffer amplifier circuit 3 between an oscillating circuit 1 and a buffer amplifier circuit 2 to connect therebetween, the amplitude of an oscillating output from oscillating circuit 1 can be made small. Further, in a digital mobile communication of TDMA type, a switch 4 is turned on and off in response to burst wave synchronous signal to turn on and off supply of power voltage Vcc to buffer amplifiers 2 and 3. Accordingly, power consumption of oscillating circuit 1 is reduced more than the conventional one, and further since power voltage Vcc is supplied to buffer amplifiers 2 and 3 only in accordance with timing of burst wave, the entire power consumption can be reduced than the conventional way.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑩ 公開特許公報(A) 平4-160908

⑤lnt. Cl. 5

,Ł

識別記号

庁内整理番号

❸公開 平成 4年(1992) 6月 4日

H 03 B 5/32 H 04 B 7/26 Z 8321-5 J X 8523-5 K

審査請求 未請求 請求項の数 1 (全2頁)

②特 顧 平2-289695

②出 願 平 2(1990)10月25日

@発 明 者 原

東京都港区芝5丁目7番1号 日本電気株式会社内

创出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

明

孝

四代 理 人 弁理士 内 原 晋

明細書

発明の名称

圧電発振器

特許請求の範囲

圧電素子を用いた発振回路と、該発振回路に縦続接続した第1の緩衝増幅回路とを有する圧電発振器において、前記発振回路と前記第1の緩衝増幅回路との間に縦続接続した第2の緩衝増幅回路を、該第1および第2の緩衝増幅回路の電源接続を外部から与えられるバースト波同期信号に応答して接断切替えする切替器とを備えていることを特徴とする圧電発振器。

発明の詳細な説明

〔従来の技術〕

〔産業上の利用分野〕

本発明は圧電発振器に関し、特にデジタル移動通信携帯機に使用される圧電発振器に関する。

従来のこの種の圧電発振器は、第2図に示すように、圧電素子を用いた発振回路10に、緩衝増幅回路2を縦続接続した構成を有する。発振回路10で大振幅発振動作を行ない、緩衝増幅回路2でインピーダンス変換、緩衝増幅等を行ない出力している。両回路には電源電圧Vccが常時供給される。

〔 発明が解決しようとする課題〕

この従来の圧電発振器では、発振回路10で大振幅発振動作を連続で行ない、緩衝増幅回路2でも連続して増幅動作を行なっているため、バースト波を用いるデジタル移動通信機で使用した場合でも電源電圧Vccが常時供給され、消費電力が大きくなるという問題がある。

〔課題を解決するための手段〕

本発明の圧電発振器は、圧電素子を用いた発振 回路と、該発振回路に縦続接続した第1の緩衝増 幅回路とを有する圧電発振器において、前記発振 回路と前記第1の緩衝増幅回路との間に縦続接続 した第2の緩衝増幅回路と、該第1および第2の 緩衝増幅回路の電源接続を外部から与えられるパースト波同期信号に応答して接断切替えする切替 器とを備えている。

(実施例)

従って、発振回路1の消費電力が従来よりも低減される上に、バースト波のタイミングにのみ電源電圧Vccが緩衝増幅回路2および3に供給されるので、全体としての消費電力を従来よりも低

滅できる.

〔発明の効果〕

以上説明したように本発明は、発振回路の発振出力振幅を小さくし、緩衝増幅回路の電源を外部からのパースト同期信号によりオンオフすることにより、TDMA方式のデジタル移動通信機のクロック系の消費電力を低減できるという効果を有する。

図面の簡単な説明

第1図は本発明の一実施例のブロック図、第 2図は従来の圧電発振器のブロック図、第3図 (a)は従来の圧電発振器の発振回路の発振出力 の信号波形図、第3図(b)は本発明の実施例の 発振回路の発振出力の信号波形図、第4図は本発 明の実施例におけるバースト出力の信号波形図で ある。

, 1 . 1 0 ··· 発振回路、2 . 3 ··· 被衡增幅回路、4 ··· 切替器。

代理人 弁理士 内 原 晋

